

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

**Applicant(s)** : Chang-Woo HA et al.  
**Serial No.** : TBA **Examiner** : TBA  
**Filed** : Herewith **Group Art Unit:** TBA  
**For** : CURRENT-VOLTAGE TRANSFORMING CIRCUIT  
EMPLOYING LIMITED CIRCUIT

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

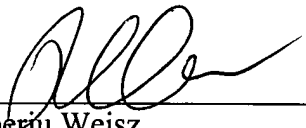
**CLAIM FOR PRIORITY**

Sir:

Pursuant to 35 U.S.C. § 119, Applicants claim the benefit of priority of the earliest filing date of the Korean Patent Application, namely, 2003-61480, filed on September 3, 2003. Certified copy of said priority document along with the English language version of its cover page is enclosed herewith.

Respectfully submitted  
GOTTLIEB, RACKMAN & REISMAN, P.C.

Dated: 11. 12. 03

  
\_\_\_\_\_  
Tiberiu Weisz  
Attorney for applicants  
Registration No. 29,876

GOTTLIEB, RACKMAN & REISMAN, P.C.  
270 Madison Avenue  
New York, N.Y. 10016-0601  
Phone: (212) 684-3900  
Facsimile: (212) 684-3999

<Translation>

**THE KOREAN INTELLECTUAL  
PROPERTY OFFICE**

This is to certify that the following application annexed hereto is  
a true copy from the records of the Korean Intellectual Property Office.

Application Number: 2003 Patent Application No. 61480

Date of Application: September 3, 2003

Applicant(s): SAMSUNG ELECTRO-MECHANICS CO., LTD.

On this 16th day of September, 2003

**COMMISSIONER**

<Translation>

## APPLICATION FOR PATENT REGISTRATION

Application Number: 2003-61480

Application Date: September 3, 2003

Title of Invention: CURRENT-VOLTAGE TRANSFORMING CIRCUIT EMPLOYING  
LIMITER CIRCUIT

Applicant (s): SAMSUNG ELECTRO-MECHANICS CO., LTD.

Attorney Name: LEE & PARK Patent & Law Firm

Inventor(s):  
1. Chang-Woo HA  
2. Kyoung-Soo KWON  
3. Deuk-Hee PARK  
4. Joo-Yul KO

The above Application for Patent Registration is hereby made pursuant to Articles 42 and 60 of the Korean Patent Law.



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2003-0061480

Application Number

출원 년 월 일 : 2003년 09월 03일  
Date of Application SEP 03, 2003

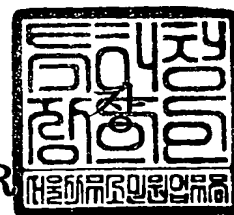
출원인 : 삼성전기주식회사  
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.



2003 년 09 월 16 일

특 허 청

COMMISSIONER





## 【서지사항】

【서류명】	특허출원서
【관리구분】	특허
【수신처】	특허청장
【제출일자】	2003.09.03
【발명의 명칭】	전류 검출에 의한 리미터 회로를 채용한 전류-전압 변환 및 증폭 회로
【발명의 영문명칭】	Current-voltage transforming circuit employing limiter circuit by means of current sensing
【출원인】	
【명칭】	삼성전기주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【명칭】	청운특허법인
【대리인코드】	9-2002-100001-8
【지정된변리사】	이철 , 이인실, 최재승, 신한철
【포괄위임등록번호】	2002-065077-1
【발명자】	
【성명의 국문표기】	하창우
【성명의 영문표기】	HA, Chang Woo
【주민등록번호】	731212-1821613
【우편번호】	442-739
【주소】	경기도 수원시 팔달구 영통동 황골마을주공1단지 130동 1402호
【국적】	KR
【발명자】	
【성명의 국문표기】	권경수
【성명의 영문표기】	KWON, Kyoung Soo
【주민등록번호】	640304-1002423
【우편번호】	442-739
【주소】	경기도 수원시 팔달구 영통동 황골마을주공아파트 112동 602호
【국적】	KR
【발명자】	
【성명의 국문표기】	박득희
【성명의 영문표기】	PARK, Deuk Hee



1020030061480

출력 일자: 2003/9/19

【주민등록번호】	731225-1031126
【우편번호】	139-204
【주소】	서울특별시 노원구 상계4동 111-649번지 7통 4반
【국적】	KR
【발명자】	
【성명의 국문표기】	고주열
【성명의 영문표기】	KO, Joo Yul
【주민등록번호】	760327-1721210
【우편번호】	449-843
【주소】	경기도 용인시 수지읍 상현리 만현마을 10단지 아이파크 1010동 1604 호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의 한 출원심사 를 청구합니다. 대리인 청운특허법인 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	19 면 19,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	18 항 685,000 원
【합계】	733,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 리미터 회로를 채용한 PDIC(Photo Detector Integrated Circuit)용 전류-전압 변환 및 증폭 회로에 관한 것이다.

본 발명에 따른 전류-전압 및 증폭 회로는, 광신호를 수신하여 전류를 발생시키는 광 검출소자; 상기 광 검출 소자에 광신호 입력시 발생하는 전류를 수신하여 증폭하는 증폭기; 상기 증폭기의 출력에 연결된 이미터 팔로워(Emitter Follower); 상기 이미터 팔로워의 출력에 연결된 출력 버퍼; 리미터 전류의 입력단 및 출력단을 가지며, 상기 증폭기의 출력으로부터의 전류( $I_{SENSE}$ )가 소정의 임계값을 초과할 때 턴온되어 상기 리미터 전류를 흘려 보내는 전류 검출 리미터 블록; 및 상기 증폭기의 출력과 상기 광 검출소자 사이에 접속된 피드백 저항을 포함하는 것을 특징으로 한다.

**【대표도】**

도 2

**【색인어】**

광 검출소자, CD-RW, 리미터, 전류, 포화

## 【명세서】

## 【발명의 명칭】

전류 검출에 의한 리미터 회로를 채용한 전류-전압 변환 및 증폭 회로{Current-voltage transforming circuit employing limiter circuit by means of current sensing}

## 【도면의 간단한 설명】

도1은 종래의 리미터 회로를 채용한 PDIC용 전류-전압 변환 및 증폭 회로를 나타낸다.

도2는 본 발명의 일 실시예에 따른 리미터 회로를 채용한 PDIC용 전류-전압 변환 및 증폭 회로를 나타낸다.

도3은 본 발명에 따른 도1의 전류 검출 리미터 블록(11)의 내부 구성도를 나타낸다.

도4는 도2의 본 발명에 따른 전류-전압 및 증폭 회로의 트랜스임피던스 증폭기를 구성하는 차동 증폭기, 이미터 팔로워 및 전류 검출 리미터 블록의 동작을 나타내는 회로도이다.

도5는 본 발명의 또다른 실시예에 따른 리미터 회로를 채용한 PDIC용 전류-전압 변환 및 증폭 회로를 나타낸다.

도6은 본 발명의 또다른 실시예에 따른 리미터 회로를 채용한 PDIC용 전류-전압 변환 및 증폭 회로를 나타낸다.

도7은 도6에 도시된 회로에서 전류 검출 블록(11-1)의 내부 구성을 나타낸다.

도8은 본 발명의 또다른 실시예에 따른 전류 검출 블록(11-2)의 내부 구성을 나타낸다.

도9는 본 발명의 또다른 실시예에 따른 전류 검출 블록(11-3)의 내부 구성을 나타낸다.

도10은 본 발명의 또다른 실시예에 따른 리미터 회로를 채용한 PDIC용 전류-전압 변환 및 증폭 회로를 나타낸다.





도11은 도10에 도시된 전류 검출 블록(11-4)의 내부 구성을 나타낸다.

도12는 본 발명의 또다른 실시예에 따른 증폭 계수  $\beta$  값이 큰 PNP 타입의 트랜지스터를 사용한 전류 검출 블록(11-5)의 내부 구성을 나타낸다.

도13은 본 발명에 따른 리미터를 채용한 전류-전압 변환 및 증폭 회로의 광 세기에 따른 출력 전압의 과도 응답 특성을 측정한 결과를 나타내는 그래프이다.

#### ※ 도면의 주요 부분에 대한 설명

10 : 트랜스임피던스 증폭기

11, 11-1, 11-2, 11-3, 11-4, 11-5 : 전류 검출 증폭기

12 : 광 검출소자                      G1 : 차동 증폭기

G2 : 이미터 팔로워                      G3 : 출력 버퍼

$I_{SENSE}$  : 검출 전류                       $R_f$  : 피드백 저항

$I_{LMTIN}$  : 입력 리미터 전류                       $I_{LMTOUT}$  : 출력 리미터 전류

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<21>        본 발명은 리미터 회로를 채용한 PDIC(Photo Detector Integrated Circuit)용 전류-전압 변환 및 증폭 회로에 관한 것이다.

<22>        보다 구체적으로 본 발명은 CD-RW(CD-Rewritable; 기록가능 컴팩트 디스크) 등의 기록 매체에 쓰기 동작시 PDIC에 가해지는 높은 광 전력이 인가됨으로써 상기 PDIC용 전류-전압 변환



및 증폭 회로가 포화되는 현상을 방지하기 위해, 상기 증폭 회로 내의 전류를 검출함으로써 리미터 전류를 흘려주는 리미터 회로를 채용한 PDIC용 전류-전압 변환 및 증폭 회로에 관한 것이다.

<23> 일반적으로, CD-RW 등의 기록 매체에 정보를 판독 또는 기록하는 광픽업 장치에서는 레이저 다이오드로부터 광을 투사하여 정보가 집약된 소정의 광 기록매체, 즉 광 디스크 등으로부터 반사되는 광을 검출하여 이를 전기신호로 변환시키는 광 검출소자(PDIC)를 사용하고 있다.

<24> CD-RW 등의 기록 가능한 CD에 있어서, 쓰기 동작은 강한 전력을 갖는 레이저 광선으로 CD의 표면을 조사함으로써 CD의 표면에 피트(pit)를 형성함으로써 수행된다. 이와 같은 CD의 쓰기동작 중에 PDIC에 가해진 과도한 전력으로 인해 PDIC로부터 많은 양의 전류가 발생하여 PDIC용 전류-전압 변환 및 증폭 회로를 포화시키고 이로 인해 증폭기의 과도응답 특성을 왜곡하게 된다.

<25> 도1은 종래에 사용되는 리미터 회로를 채용한 PDIC용 전류-전압 변환 및 증폭 회로를 나타낸다.

<26> 광 검출소자(12)에 입사된 입사광에 의해 광 검출소자에 의해 발생한 캐리어에 의해 전류  $I_{PD}$ 가 발생된다.  $I_{PD}$ 는 출력 버퍼(G3)에서  $I_f$ 를 끌어오며(pulling),  $I_f$ 가  $R_f$ 를 지나면서  $R_f$  양단에 전위차가 발생하고 이에 의해 전류 신호  $I_{PD}$ 는  $I_f \times R_f = V_{out}$ 의 전압 신호로 변환된다.

<27> 차동 증폭기(G1), 이미터 팔로워(G2) 및 출력 버퍼(G3)는 하나의 트랜스임피던스 증폭기(10)(transimpedance amplifier;10)를 구성한다. 만약 광신호가 과도하게 입력되는 경우에는 트랜스임피던스 증폭기(10)는 포화되어 동작 영역을 벗어나게 되며, 이 때문에  $I_f$ 가 증가하더

라도  $V_{out}$ 은 더 이상 증가하지 않고 소신호 입력에 대한 증폭기의 속도를 감소시키고 또한 증폭기의 과도응답특성의 왜곡을 발생시키게 된다.

- <28> 도1에 도시된 회로에서, 트랜지스터(Q1)의 이미터는 이미터 팔로워(G2)의 출력에 연결되어 이미터 팔로워(G2)의 출력 전압을 검출한다. 이미터 팔로워(G2)의 출력 전압이 일정값( $V_{LMT} + V_{be}$ )이상이 되는 경우 Q1이 턴온되어 리미터 전류( $I_{LMT}$ )가 흐르게 되며, 이 때 단자  $T_{in}$ 에서  $I_{PD} = I_f + I_{LMT}$ 이므로  $I_{PD}$ 가 과도하게 커져도  $I_{LMT}$ 에 의해  $I_f$ 는 더 이상 커지지 않고 따라서 상기 트랜스임피던스 증폭기(10)는 포화되지 않고 계속 동작 영역에 있게 된다.
- <29> 이와 같이, PDIC용 증폭 회로의 포화를 방지하기 위해서, 트랜스임피던스 증폭기의 출력 전압을 검출하여 출력 전압이 일정 전압 이상이 되면 리미터 전류를 흐르게 함으로써 증폭기의 포화를 방지하는 기술들이 공지되어 있다.
- <30> 일본특허공보 특개평 10-188315호(공개일 1998년 7월 21일)는 출력 전압을 감지함으로써 증폭기가 일정 전압 이상이 되면 리미터 전류를 흐르게 함으로써 포화되는 것을 방지하는 전류-전압 변환 회로를 개시하고 있다.
- <31> 상기 문헌에 개시된 전류-전압 변환 회로는 증폭기(10), 증폭기(20) 및 출력 버퍼(30)로 구성되며, 트랜지스터(60)의 이미터가 증폭기(20)의 출력에 연결되어 출력 전압( $V_o$ )이  $V_{REF} + V_{BE}$  이상일 때, 즉  $V_o > V_{REF} + V_{BE}$ 일 때 트랜지스터(60)가 턴온되어 리미터 전류( $I_{LT}$ )가 흐르게 되어, 광 검출소자에 흐르는 전류  $I_{PH}$ 가 증가되어도  $I_f$ 는 더이상 증가되지 않고 따라서 전류-전압 변환 회로의 포화가 방지된다.
- <32> 상기 공보 및 종래 기술에 따른 전류-전압 변환 회로 및 종래 기술에서는 기본적으로 전압 검출에 의해 전류를 보상하도록 구성되어 있으며, 상기 공보의 경우 트랜지스터(60)의 이미

터가 증폭기(20)의 출력에 접속되어 리미터 전류( $I_{LT}$ )의 스위칭 역할을 하는 동시에, 증폭기(20)의 출력 전압( $V_o$ )을  $V_{REF} + V_{BE}$  이하로 구속하게 된다.

<33> 그러나, PNP 타입의 트랜지스터로 구성되는 제어 회로는 그 트랜지스터의 특성상 제어되는 특정 단자 전압의 최대값을 한정하도록 설계되고, NPN 타입의 트랜지스터로 구성되는 제어 회로는 특정 단자 전압의 최소값을 한정하도록 설계된다.

<34> 상기 공보에 개시된 회로에서는 출력 전압( $V_o$ )의 최대값을  $V_{REF} + V_{BE}$  이하로 구속하므로 즉, 출력 전압( $V_o$ )의 최대값을 한정하여야 하므로, 회로 소자들은 필수적으로 PNP 타입의 트랜지스터로 구성되어야 하며, NPN 타입의 트랜지스터에 의해 구성될 수 없다. 따라서, 상기 공보의 전류-전압 변환 회로는 NPN 타입의 트랜지스터에 비해 이득이 낮은 PNP 타입의 트랜지스터로 구성할 수 밖에 없으므로 이득이 낮아지고 속도가 느려지는 문제점이 있다.

<35> 위와 같은 문제점을 해결하기 위해 전압 검출에 의해 증폭 회로를 제어함으로써 전류-전압 변환 회로를 구성하는 증폭기의 출력 전압을 특정 값으로 제한하지 않고, 회로 구현에 있어서 NPN 또는 PNP 타입의 트랜지스터에 구애받지 않으며, 또한 증폭 이득 및 속도가 낮아지지 않는, 리미터 전류를 채용한 전류-전압 변환 회로가 요구된다.

#### 【발명이 이루고자 하는 기술적 과제】

<36> 본 발명의 목적은 포화를 방지하기 위한 리미터 전류를 사용한 PDIC용 전류-전압 변환 및 증폭 회로를 제공하는 것이다.

<37> 본 발명의 또다른 목적은 출력 전압이 아닌 전류를 검출함으로써 리미터 전류를 흐르게 하는 PDIC용 전류-전압 변환 및 증폭 회로를 제공하는 것이다.

- <38> 본 발명의 또다른 목적은 전류를 검출하여 리미터 전류를 스위칭하는 전류 검출 리미터 블록을 포함하는 PDIC용 전류-전압 변환 및 증폭 회로를 제공하는 것이다.
- <39> 본 발명의 또다른 목적은 NPN 타입의 트랜지스터로 구성되어 전압의 최대 최소값에 제한되지 않고 전류를 검출하여 리미터 전류의 스위칭 함으로써, 이득이 크고 속도가 빠른 전류-전압 변환 및 증폭 회로를 제공하는 것이다.
- <40> 본 발명의 또다른 목적은 리미터 전류의 턴온 포인트를 사용자가 조절할 수 있는 전류 검출 리미터 블록을 채용한 PDIC용 전류-전압 변환 및 증폭 회로를 제공하는 것이다.
- <41> 본 발명의 또다른 목적은 전류 검출에 의해 포화를 방지하기 위한 리미터 전류를 흐르게 함으로써 PDIC용 전류-전압 변환 및 증폭 회로의 RF 파형의 과도 특성을 개선함과 동시에 S/N 비(신호대 잡음비)를 개선하는 것이다.

#### 【발명의 구성 및 작용】

- <42> 본 발명에 따른 PDIC용 전류-전압 변환 및 증폭 회로는, 광신호를 수신하여 전류를 발생시키는 광 검출소자; 상기 광 검출 소자에 광신호 입력시 발생하는 전류를 수신하여 증폭하는 증폭기; 상기 증폭기의 출력에 연결된 이미터 팔로워(Emitter Follower); 상기 이미터 팔로워의 출력에 연결된 출력 버퍼; 리미터 전류의 입력단 및 출력단을 가지며, 상기 증폭기의 출력으로부터의 전류( $I_{SENSE}$ )가 소정의 임계값을 초과할 때 턴온되어 상기 리미터 전류를 흘려 보내는 전류 검출 리미터 블록; 및 상기 증폭기의 출력과 상기 광 검출소자 사이에 접속된 피드백 저항을 포함하는 것을 특징으로 한다.
- <43> 이하, 도면을 참조하여 본 발명을 보다 상세히 설명한다.

- <44> 도2는 본 발명의 일 실시예에 따른 리미터 회로를 채용한 PDIC용 전류-전압 변환 및 증폭 회로를 나타낸다.
- <45> 입사된 입사광에 의해 광 검출소자(12)에서 전류  $I_{PD}$ 가 발생된다.  $I_{PD}$ 는 출력 버퍼(G3)에서  $I_f$ 를 끌어오며(pulling)  $I_f$ 가  $R_f$ 를 지나면서  $R_f$  양단에 전위차가 발생하고 이에 의해  $I_{PD}$ 는  $I_f R_f = V_{out}$ 의 전압 신호로 변환된다. 상기 광 검출소자(12)로서는 광 신호가 입력되면 전류가 생성되는 광 다이오드를 사용할 수 있다.
- <46> 차동 증폭기(G1), 이미터 팔로워(G2) 및 출력 버퍼(G3)는 입력 임피던스를 출력으로 전달해주는 하나의 트랜스임피던스 증폭기(10)(transimpedance amplifier)를 구성한다.
- <47> 만약 CD-RW 등의 기록 매체에의 기록 동작시에 광 신호가 과도하게 입력되면 트랜스임피던스 증폭기(10)는 포화되어 동작범위를 벗어나며, 이 때문에  $I_f$ 가 증가하더라도  $V_{out}$ 은 더 이상 증가하지 않고 또한, 소신호 입력에 대한 증폭기의 속도를 감소시켜서 증폭기의 과도응답특성의 왜곡을 발생시킨다.
- <48> 차동 증폭기(G1)는 반전 입력 및 비반전 입력 2개의 입력 단자에 입력되는 신호의 전압 차에 소정의 이득을 곱한 값을 출력한다. 차동 증폭기(G1)는 이상적으로는 이득이 무한대이고 입력 전압이 0이지만, 실제적으로는 한정된 이득을 갖고 입력 전압이 0이 아니기 때문에, 차동 증폭기(G1)의 비반전 입력에 저항( $R_{off}$ )을 연결하여 입력 전압을 0으로 만들어 준다. 도2의 차동 증폭기(G1) 대신 광 검출소자로부터 발생하는 전류에 의해 발생하는 전압을 단일 입력으로 갖는 증폭기를 사용하여도 무방하다.
- <49> 이미터 팔로워 또는 컬렉터-공통 증폭기(G2)에서, 입력신호는 베이스로 인가되고 출력은 이미터에서 얻어진다. 이미터 팔로워(G2)는 입력측의 저항이 출력측의 저항에 비해 상당히

큰 경우 전압 이득은 그대로 보존하면서 입력 신호를 출력 신호로 전달하기 위한 것이다. 이 미터 팔로워(G2)의 입력단과 출력단 사이의 전압 이득은 거의 1이고, 출력단인 이미터 단자에는 입력인 베이스 단자에서의 입력 신호가 그대로 나타난다.

<50> 출력 버퍼(G3)는 입력측의 저항이 출력측의 저항에 비해 상당히 큰 경우 전류 이득은 그대로 보존하면서 입력 신호를 출력 신호에 전달하기 위한 것이다. 이미터 팔로워(G2)와 마찬가지로 이득은 1이다.

<51> 피드백 저항( $R_f$ )은 전술한 바와 같이 트랜스임피던스 증폭기(10)에 입력 측의 광 검출소자(12)에서 발생하는 전류가 출력 측에 전압값으로 나타나게 하는 역할을 한다.

<52> 전류 검출 리미터 블록(11)은 트랜스임피던스 증폭기(10) 중 차동 증폭기(G1)의 출력 전류( $I_{SENSE}$ )를 입력으로 받아 들이며, 출력 전류( $I_{SENSE}$ )가 소정의 값 이상이면 턴온 되어  $I_{LMTIN}$ 을  $I_{LMTOUT}$ 으로 전달한다.

<53> 단자  $T_{in}$ 에서  $I_{PD} = I_f + I_{LMTIN}$ 이므로 광 검출소자(12)에 입사된 강한 광신호로 인하여  $I_{PD}$ 가 과도하게 증가하여도  $I_{LMTIN}$ 이  $I_{LMTOUT}$ 으로 전달되어 단자  $T_{in}$ 로 들어가므로  $I_f$ 가 일정값 이상으로 증가하지 않도록 하여 트랜스임피던스 증폭기(10)의 포화가 방지된다.

<54> 도3은 본 발명에 따른 도1의 전류 검출 리미터 블록(11)의 내부 구성도를 나타낸다.

<55> 전류 검출 리미터 블록(11)은  $I_{SENSE}$ ,  $I_{LMTIN}$  및  $I_{LMTOUT}$ 의 세단자를 갖는다. 차동 증폭기(G1)로부터  $I_{SENSE}$ 가 입력되면 트랜지스터(Q1)에는  $I_1$ 이 흐른다. Q1의 증폭 계수를  $\beta$ 라 하면,  $I_1$ 은 다음과 같다.

<56> 
$$I_1 = \beta \cdot I_{SENSE}$$

<57> 트랜지스터(Q2)의 베이스 전압  $V_{b2}$ 는  $I_1$ 에 의해 다음과 같이 된다.

<58>  $V_{b2} = I_1 \cdot R_2$

<59>  $V_{b2} > V_{REF} + V_{beq2} (\approx 0.7V)$  일 때, Q2는 턴온 되어 전류 검출 블록(11)이 동작하여  $I_{LMT}$ 를 흘려주게 된다. 여기서,  $V_{beq2}$ 는 Q2의 베이스-이미터 간 전압이다. 그에 따라 CD-RW 등의 기록 매체에의 기록 동작시 광 검출소자(12)에서 발생하는 전류( $I_{PD}$ )가 증가하여도 트랜스임피던스 증폭기(10)는 포화되지 않는다.

<60> 도4는 도2에 도시된 본 발명에 따른 전류-전압 및 증폭 회로의 트랜스임피던스 증폭기(10)를 구성하는 차동 증폭기(G1), 이미터 팔로워(G2) 및 전류 검출 리미터 블록(11)의 동작을 나타내는 회로도이다.

<61> 차동 증폭기(G1)는 트랜지스터(Q3, Q4, Q5, Q6 및 Q7)로 구성되고, 2개의 입력 단자( $PDIN$ ,  $V_{REF}$ )에 입력되는 신호의 차에 일정 이득을 곱한 값을 출력하는 역할을 한다.

<62> Q3의 베이스에는 기준 전압( $V_{REF}$ )이 인가되고, Q4의 베이스에는 광 검출소자(12)로부터의 입력 신호( $PDIN$ )이 입력된다. 도2 및 도4을 참조하면, 기준 전압( $V_{REF}$ )이 가해지는 Q3의 베이스는 차동 증폭기(G1)의 반전 입력에 해당하고,  $PDIN$ 이 입력되는 트랜지스터(124)의 베이스는 차동 증폭기(G1)의 비반전 입력에 해당한다.

<63> 입력 신호( $PDIN$ )가 차동 증폭기(G1)의 입력에 인가되면, Q6의 컬렉터와 Q7의 컬렉터 사이에서 분기된 출력단을 통해 전류 검출 리미터 블록(11)의 Q1 베이스 단으로  $I_{SENSE}$ 가 전달된다.

<64> 전류 검출 리미터 블록(11)에서는,  $PDIN$ 에의 입력 전류가 증가할 수록  $I_{SENSE}$ 가 증가하고 이에 따라  $I_1$ 이 증가하므로 R1과 R2 사이의 전압, 즉 Q2의 베이스 전압  $V_{b2}$ 가 증가하고  $V_{b2} > V_{REF} + V_{beq2} (\approx 0.7V)$  가 되면, Q2가 턴온되어  $I_{LMT}$ 가 흐르게 된다.  $I_{LMT}$ 가 흐름으로써  $PDIN$ 의



입력 전류가 증가하여도 트랜스임피던스 증폭기(10) 전체의 피드백 전류( $I_f$ )를 제한하여 포화를 방지한다. 전류 검출 리미터 블록(11)은 정전류 전원(19)에 의해 바이어스 된다. 이미터 팔로워(G2)의 이미터로부터의 출력은 출력 버퍼(G3)로 전달된다.

- <65> 도4의 차동 증폭기(G1)는 차동쌍(Q3,Q4), 능동 부하(Q5,Q6) 및 윌슨 전류 미러(Q7)로 구성된다.
- <66> Q3 및 Q4는 각각의 이미터끼리 연결되어 정합되며, 정전류 전원(18)에 의해 바이어스된다.
- <67> 바이어스1 및 바이어스2는 Q3 및 Q4에 대해 전류 전원 및 능동 부하로서 동작하며, 바이어스1은 Q7, 바이어스2는 Q5,Q6로 각각 구성된다.
- <68> 바이어스1을 구성하는 Q7은 통상적인 pnp 타입의 트랜지스터로 구성된 윌슨 전류 미러에서 자기 바이어스 회로(self-biased circuit)가 생략된 형태로서, Q3 및 Q4에 대한 능동 부하 및 전류 전원으로서 역할을 한다.
- <69> Q6 및 Q7의 이득은 각각의 출력 임피던스( $R_o$ )에 비례하므로, 즉  $G \approx g_m \cdot R_o$ 이므로, Q6 및 Q7의 출력 임피던스가 클수록 큰 이득을 얻을 수 있다.
- <70> 도5는 본 발명의 또다른 실시예에 따른 리미터 회로를 채용한 PDIC용 전류-전압 변환 및 증폭 회로를 나타낸다.
- <71> 도2에 도시된 회로와 마찬가지로 광 검출소자(12)에 입사된 입사광에 의해 광 검출소자에서 전류  $I_{PD}$ 가 발생되고,  $I_{PD}$ 는 출력 버퍼(G3)에서  $I_f$ 를 끌어오며(pulling),  $I_f$ 가  $R_f$ 를 지나면서  $R_f$  양단에 전위차가 발생하고 이에 의해  $I_{PD}$ 는  $I_f \cdot R_f = V_{out}$ 의 전압 신호로 변환된다. 변환된 전압 신호는 차동 증폭기(G1), 이미터 팔로워(G2) 및 출력 버퍼(G3)를 통해 출력된다.

- <72> 차동 증폭기(G1), 이미터 팔로워(G2) 및 출력 버퍼(G3)의 내부 구성은 도4에 도시된 회로와 동일하다.
- <73> 다만, 이 실시예에서는  $I_{SENSE}$ 에 의해 전류 검출 블록(11)에 의해 흐르기 시작하는 리미터 전류( $I_{LMT}$ )가 이미터 팔로워(G2)의 출력단이 아닌 출력 버퍼(G3)의 출력단으로부터 인출되어 단자  $T_{in}$ 으로 들어간다.  $I_{LMT}$ 가 흐름으로써 트랜스임피던스 증폭기(10) 전체의 피드백 전류( $I_f$ )를 제한하여 포화를 방지한다. 이와 같은 구성에 따른 효과는 도2에 도시된 회로와 동일하다.
- <74> 도6은 본 발명의 또다른 실시예에 따른 리미터 회로를 채용한 PDIC용 전류-전압 변환 및 증폭 회로를 나타낸다.
- <75> 도2에 도시된 회로와 마찬가지로, 차동 증폭기(G1)의 출력에서 분기점으로부터 전류 검출 블록(11-1)으로  $I_{SENSE}$ 가 흐르고, 전류 검출 블록(11-1)은 검출된  $I_{SENSE}$ 가 특정값 이상이 되면 리미터 전류( $I_{LMT}$ )를 흐르게 하고, 그에 따라 트랜스임피던스 증폭기(10) 전체의 피드백 전류( $I_f$ )를 제한하여 포화를 방지한다.
- <76> 다만, 도6에 도시된 회로에서는 전류 검출 블록(11-1)으로부터의 출력 전류( $I_{LMTOUT}$ )가 단자  $T_{in}$ 이 아닌 접지로 향한다.
- <77> 도7은 도6에 도시된 회로의 전류 검출 블록(11-1)의 내부 구성을 나타낸다.
- <78> 차동 증폭기(G1)로부터의 전류  $I_{SENSE}$ 가 입력되면 Q1에는  $I_1$ 이 흐른다. Q1의 증폭 계수를  $\beta$ 라 하면,  $I_1$ 은 다음과 같다.
- <79> 
$$I_1 = \beta \cdot I_{SENSE}$$
- <80> Q2의 베이스 전압  $V_{b2}$ 는  $I_1$ 에 의해 다음과 같다.

<81>  $V_{b2} = I_1 \cdot R_2$

<82>  $V_{b2} > V_{REF} + V_{be2} (\approx 0.7V)$  일 때, Q2는 턴온 되어 전류 검출 블록(15)이 동작하여  $I_{LMT}$ 를 흘려주게 된다. 여기서,  $V_{be2}$ 는 Q2의 베이스-이미터 간 전압이고,  $V_{REF}$ 는 차동 증폭기(G1)의 비반전 입력에 입력되는 기준 전압이다. 이와 같은 구성에 따라 CD-RW 등의 기록 매체에의 기록 동작시 광 검출소자에 발생하는 전류  $I_{PD}$ 의 증가에도 트랜스임피던스 증폭기(10)는 포화되지 않는다. 도7에 도시된 전류 검출 블록(11-1)의 구성은 도3에 도시된 전류 검출 블록(11)의 구성과 동일하고, 다만 다른 점은 출력되는 리미터 전류( $I_{LMTOUT}$ )가 접지로 흘러간다는 것이다.

<83> 도8은 본 발명의 또다른 실시예에 따른 전류 검출 블록(11-2)의 내부 구성을 나타낸다. 이 전류 검출 블록(11-2)은 도2 또는 도5에 도시된 전류-전압 증폭 회로 모두에 사용될 수 있다.

<84> 도8의 전류 검출 블록(11-2)은 도3에 도시된 전류 검출 블록(11)과 도7에 도시된 전류 검출 블록(11-1)을 조합한 것으로서, 차동 증폭기(G1)로부터의 전류  $I_{SENSE}$ 가 입력되면 Q1에는  $I_1$ 이 흐른다. Q1의 증폭 계수를  $\beta$ 라 하면,  $I_1$ 은 다음과 같다.

<85>  $I_1 = \beta \cdot I_{SENSE}$

<86> 트랜지스터 Q2 및 Q3의 베이스 전압  $V_{b2}$  및  $V_{b3}$ 는  $I_1$ 에 의해 다음과 같이 된다.

<87>  $V_{b2}(= V_{b3}) = I_1 \cdot R_2$

<88>  $V_{b2}(= V_{b3}) > V_{REF} + V_{beq2} (= V_{beq3})(\approx 0.7V)$  일 때, Q2 및 Q3는 턴온 되어 전류 검출 블록(11-2)이 동작하여  $I_{LMT}$ 이 흐르게 되고,  $I_{LMTIN}$ 은 각각 Q3 및 Q2를 통과하여  $I_{LMTOUT1}$  및  $I_{LMTOUT2}$ 로 흘러 나가고,  $I_{LMTOUT1}$ 은 접지로  $I_{LMTOUT2}$ 는 단자  $T_{in}$ 으로 흘러 들어 간다. 따라서,

그에 따라 트랜스임피던스 증폭기(10) 전체의 피드백 전류( $I_f$ )를 제한하여 포화를 방지한다. 여기서,  $V_{beq2}$  및  $V_{beq3}$ 는 각각 Q2 및 Q3의 베이스-이미터 간 전압이고,  $V_{REF}$ 는 차동 증폭기(G1)의 비반전 입력에 입력되는 기준 전압이다.

- <89> 도9는 본 발명의 또다른 실시예에 따른 전류 검출 블록(11-3)의 내부 구성을 나타낸다. 이 전류 검출 블록(11-3)은 도2 또는 도5에 도시된 전류-전압 증폭 회로 모두에 사용될 수 있다.
- <90> 상기 실시예에 따른 전류 검출 블록(11-3)에서는 도3에 도시된 전류 검출 블록(11)에서 저항(R2)을 가변 저항(VR)으로 대체함으로써 전류 검출 블록(11-3)이 제한할 수 있는 출력의 크기를 사용자가 원하는 대로 조정할 수 있다.
- <91> 도9에서 Q2의 베이스 전압  $V_{b2}$ 는 다음과 같다.
- <92> 
$$V_{b2} = I_1 \cdot VR$$
- <93>  $V_{b2} > V_{REF} + V_{beq2}$  ( $\approx 0.7V$ ) 일 때, Q2는 턴온 되어 전류 검출 블록(15)이 동작하여  $I_{LMT}$ 를 흐르게 한다. 여기서,  $V_{beq2}$ 는 Q2의 베이스-이미터 간 전압이고,  $V_{REF}$ 는 차동 증폭기(G1)의 비반전 입력에 입력되는 기준 전압이다. 이와 같은 구성에 따라 CD-RW 등의 기록 매체에의 기록 동작시 광 검출소자에 발생하는 전류  $I_{PD}$ 의 증가에도 트랜스임피던스 증폭기(10)는 포화되지 않는다.
- <94> 도7 및 도8에 도시된 전류 검출 블록(11-1 및 11-2)의 저항(R2)도 가변 저항(VR)으로 대체함으로써 제한할 수 있는 출력의 크기를 임의로 조정할 수 있다.

- <95> 도10은 본 발명의 또다른 실시예에 따른 리미터 회로를 채용한 PDIC용 전류-전압 변환 및 증폭 회로를 나타낸다. 이 실시예에서는 앞선 실시예들과 달리 전류-전압 변환 및 증폭 회로를 구성하는 소자들이 PNP 트랜지스터에 의해 구현되었다.
- <96> 도10에 도시된 바와 같이, 소자들이 PNP 타입의 트랜지스터에 의해 구현되는 경우, 광다이오드(12)에 흐르는 전류 방향이 달라지고, 전류 검출 블록(11-4)의 리미터 전류(ILMT)의 방향도 앞선 실시예들과 반대이다.
- <97> 도11은 도10에 도시된 전류 검출 블록(11-4)의 내부 구성을 나타낸다.
- <98> 차동 증폭기(G1)로부터의 전류  $I_{SENSE}$ 가 입력되면 Q1에는 I1이 흐른다. Q1의 증폭 계수를  $\beta$ 라 하면, I1은 다음과 같다.
- <99> 
$$I1 = \beta \cdot I_{SENSE}$$
- <100> Q2의 베이스 전압  $V_{b2}$ 는 I1에 의해 다음과 같이 된다.
- <101> 
$$V_{b2} = V_{cc} - I1 \cdot R_1$$
- <102>  $V_{b2} < V_{cc} - V_{beq2}$  ( $\approx 0.7V$ ) 일 때, Q2는 턴온 되어 전류 검출 블록(11-4)이 동작하여  $I_{LMT}$ 를 흘려주게 된다. 여기서,  $V_{beq2}$ 는 Q2의 베이스-이미터 간 전압이다. 이와 같은 구성에 따라 CD-RW 등의 기록 매체에의 기록 동작시 광 검출소자에 발생하는 전류  $I_{PD}$ 의 증가에도 트랜스임피던스 증폭기(10)는 포화되지 않는다.
- <103> 도7에 도시된 전류 검출 블록(11-1)과 유사하게 도11의 전류 검출 블록(11-4)의 출력 전류  $I_{LMTOUT}$ 을 접지로 흐르게 하는 것도 가능하고, 도8에 도시된 전류 검출 블록(11-2)과 유사하게 출력 전류를  $I_{LMTOUT1}$  및  $I_{LMTOUT2}$ 로 나누어 각각 접지 및 단자  $T_{in}$ 으로 나누어 보내는 구성도 가능하다.

- <104> 도12는 본 발명의 또다른 실시예에 따른 증폭 계수  $\beta$  값이 큰 PNP 타입의 트랜지스터를 사용한 전류 검출 블록(11-5)의 내부 구성을 나타낸다.
- <105> 도12의 전류 검출 블록(11-5)은 도11의 전류 검출 블록(11-4)에서 PNP 타입의 Q2에 NPN 타입의 Q3를 추가로 연결하여 구성된다. Q3의 베이스 단자는 Q2의 컬렉터에 연결되고, 컬렉터 단자는 Q2의 이미터에 연결되며, 이미터 단자는  $I_{LMUOUT}$  출력 단자가 된다.
- <106> 도12의 Q2와 Q3는 서로 접속되어 단일 PNP 트랜지스터와 등가 회로(Q2')를 이루며, 도11의 Q2와 같은 스위칭 역할을 하게 된다. 다만, 도12의 단일 PNP 타입의 트랜지스터와 등가를 이루는 Q2 및 Q3가 접속된 형태에서는 증폭계수( $\beta'$ )가 Q2의 증폭계수( $\beta_2$ )와 Q3의 증폭계수( $\beta_3$ )를 곱한 것이 되어, 단일 PNP 트랜지스터에 비해 훨씬 높은 증폭계수  $\beta'$ 를 갖는다.
- <107> PNP 타입의 트랜지스터는 NPN 타입의 트랜지스터와 비교하여 증폭 계수  $\beta$  값이 낮아서 속도가 감소되는 현상이 있다. 도12와 같이 스위칭 역할을 하는 트랜지스터로서 PNP 타입의 트랜지스터와 NPN 타입의 트랜지스터를 연결하여  $\beta$  값을 크게 함으로써, PNP 타입 트랜지스터로 구성되면서도 통상적인 PNP 타입 트랜지스터로 구성된 회로보다 증폭 비율이 크고 NPN 트랜지스터로 구성된 회로와 동등한 속도를 내는 PDIC용 전류-전압 변환 및 증폭 회로를 구현할 수 있다.

### 【발명의 효과】

- <108> 도13은 본 발명에 따른 리미터를 채용한 전류-전압 변환 및 증폭 회로의 광 세기에 따른 출력 전압의 과도 응답 특성을 측정한 결과를 나타내는 그래프이다.
- <109> 그래프(20)는 본 발명에 따른 리미터를 채용한 회로의 출력 전압의 과도 응답을 나타내고, 그래프(21)는 종래의 리미터를 적용하지 않은 경우의 출력 전압의 과도 응답을 나타낸다.

- <110> 종래의 리미터를 적용하지 않은 경우에는 쓰기 동작 등의 경우에 사용되는 강한 광이 가해지다가 약해지면 그래프(21)의 점선으로 표시된 부분과 같이 출력 전압이 과도하게 낮아지는 문제점이 있으나, 본 발명에 따른 리미터를 채용하게 되면 그래프(20)의 점선으로 표시된 부분과 같이 광 세기의 급격한 변화에 대해서도 출력 전압의 변화가 일정 범위 내로 제한되므로 입력 전압의 과도한 변화에도 출력 전압이 안정된 값을 가짐을 알 수 있다.
- <111> 본 발명의 PDIC용 전류-전압 변환 및 증폭 회로에 따르면, 리미터 전류를 사용하여 증폭 회로의 포화를 방지할 수 있다.
- <112> 본 발명의 PDIC용 전류-전압 변환 및 증폭 회로에 따르면 출력 전압이 아닌 전류를 검출함으로써 리미터 전류를 스위칭 하는 전류 검출 리미터 블록에 의해 리미터 전류를 제어할 수 있다.
- <113> 본 발명의 PDIC용 전류-전압 변환 및 증폭 회로는 NPN 타입의 트랜지스터로 구성할 수 있다.
- <114> 본 발명의 전류-전압 변환 및 증폭 회로에 따르면 전압의 최대 최소값에 제한되지 않고 전류를 검출하여 리미터 전류를 스위칭 함으로써, 이득이 크고 속도가 빠른 PDIC용 전류-전압 변환 및 증폭 회로를 얻을 수 있다.
- <115> 본 발명의 PDIC용 전류-전압 변환 및 증폭 회로에 사용되는 전류 검출 리미터 블록에 따르면 리미터 전류의 턴온 포인트를 사용자가 조절할 수 있다.
- <116> 본 발명의 PDIC용 전류-전압 변환 및 증폭 회로에 따르면, 전류 검출에 의해 포화를 방지하기 위한 리미터 전류를 흐르게 함으로써, PDIC용 전류-전압 변환 및 증폭 회로의 RF 파형의 과도 특성을 개선함과 동시에 S/N비(신호대 잡음비)를 개선할 수 있다.

## 【특허청구범위】

## 【청구항 1】

광신호를 수신하여 전류를 발생시키는 광 검출소자;

상기 광 검출 소자에 광신호 입력시 발생하는 전류를 수신하여 증폭하는 증폭기;

상기 증폭기의 출력에 연결된 이미터 팔로워(Emitter Follower);

상기 이미터 팔로워의 출력에 연결된 출력 버퍼;

리미터 전류의 입력단 및 출력단을 가지며, 상기 증폭기의 출력으로부터의 전류( $I_{SENSE}$ )가 소정의 임계값을 초과할 때 턴온되어 상기 리미터 전류를 흘려 보내는 전류 검출 리미터 블록; 및

상기 증폭기의 출력과 상기 광 검출소자 사이에 접속된 피드백 저항을 포함하는 것을 특징으로 하는 전류-전압 변환 및 증폭 회로.

## 【청구항 2】

제1항에 있어서,

상기 전류 검출 블록의 상기 리미터 전류 입력단은 상기 이미터 팔로워와 상기 출력 버퍼 사이의 분기점에 연결된 것을 특징으로 하는 전류-전압 변환 및 증폭 회로.

## 【청구항 3】

제1항에 있어서,

상기 전류 검출 블록의 상기 리미터 전류 입력단은 상기 출력 버퍼의 출력단에 연결된 것을 특징으로 하는 전류-전압 변환 및 증폭 회로.



**【청구항 4】**

제1항에 있어서,

상기 전류 검출 블록의 상기 리미터 전류 출력단은 상기 증폭기의 입력단에 연결된 것을 특징으로 하는 전류-전압 변환 및 증폭 회로.

**【청구항 5】**

제1항에 있어서,

상기 리미터 전류 출력단은 접지로 연결되는 것을 특징으로 하는 전류-전압 변환 및 증폭 회로.

**【청구항 6】**

제1항에 있어서,

상기 증폭기는 상기 광 검출 소자에 광신호 입력시 발생하는 전류에 의한 입력 전압 및 소정의 기준 전압( $V_{REF}$ )을 입력으로 갖는 차동 증폭기인 것을 특징으로 하는 전류-전압 변환 및 증폭 회로.

**【청구항 7】**

제6항에 있어서,

상기 차동 증폭기는 차동쌍, 제1 바이어스 및 제2 바이어스를 포함하는 것을 특징으로 하는 전류-전압 변환 및 증폭 회로.

**【청구항 8】**

제1항에 있어서,

상기 전류 검출 리미터 블록은,

컬렉터에는 구동 전압이 연결되고, 베이스에는 상기 전류( $I_{SENSE}$ )가 입력되고, 이미터에는 제1 저항 소자 및 제2 저항 소자가 연결된 제1 트랜지스터;

컬렉터는 상기 리미터 전류 입력단에 연결되고, 이미터는 상기 리미터 전류 출력단에 연결되며, 베이스는 상기 제1 저항 소자 및 제2 저항 소자 사이의 분기점에 연결된 제2 트랜지스터를 포함하는 것을 특징으로 하는 전류-전압 변환 및 증폭 회로.

#### 【청구항 9】

제8항에 있어서,

상기 제1 트랜지스터 및 제2 트랜지스터는 NPN 타입의 트랜지스터인 것을 특징으로 하는 전류-전압 변환 및 증폭 회로.

#### 【청구항 10】

제8항에 있어서,

상기 제2 트랜지스터는, 상기 분기점의 전위를  $V_{b2}$ , 상기 기준 전압을  $V_{REF}$ , 베이스-이미터 전압을  $V_{beq2}$ 라 할 때,

$$V_{b2} > V_{REF} + V_{beq2}$$

일 때 턴온(turn on)되는 것을 특징으로 하는 전류-전압 변환 및 증폭 회로.

#### 【청구항 11】

제1항에 있어서,

상기 전류 검출 리미터 블록의 리미터 전류 출력단은 제1 및 제2 리미터 전류 출력단을 포함하고, 상기 제1 리미터 전류 출력단은 상기 차동 증폭기의 입력단에 연결되고, 상기 전류

검출 리미터 블록의 상기 제2 리미터 전류 출력단은 접지로 연결되는 것을 특징으로 하는 전류-전압 변환 및 증폭 회로.

**【청구항 12】**

제11항에 있어서,

상기 전류 검출 리미터 블록은,

컬렉터에는 구동 전압이 연결되고, 베이스에는 상기 전류( $I_{SENSE}$ )가 입력되고, 이미터에는 제1 저항 소자 및 제2 저항 소자가 연결된 제1 트랜지스터; 및

컬렉터는 상기 리미터 전류 입력단에 연결되고, 이미터는 상기 제1 리미터 전류 출력단에 연결되며, 베이스는 상기 제1 저항 소자 및 제2 저항 소자 사이의 분기점에 연결된 제2 트랜지스터를 포함하는 것을 특징으로 하는 전류-전압 변환 및 증폭 회로.

**【청구항 13】**

제11항에 있어서,

상기 전류 검출 리미터 블록은,

컬렉터에는 구동 전압이 연결되고, 베이스에는 상기 전류( $I_{SENSE}$ )가 입력되고, 이미터에는 제1 저항 소자 및 제2 저항 소자가 연결된 제1 트랜지스터;

컬렉터는 상기 리미터 전류 입력단에 연결되고, 이미터는 상기 제1 리미터 전류 출력단에 연결되며, 베이스는 상기 제1 저항 소자 및 제2 저항 소자 사이의 분기점에 연결된 제2 트랜지스터; 및

컬렉터는 상기 리미터 전류 입력단에 연결되고, 이미터는 상기 제2 리미터 전류 출력단에 연결되며, 베이스는 상기 제1 저항 소자 및 제2 저항 소자 사이의 분기점에 연결된 제3 트랜지스터를 포함하는 것을 특징으로 하는 전류-전압 변환 및 증폭 회로.

**【청구항 14】**

제11항에 있어서,

상기 제2 저항 소자는 가변 저항인 것을 특징으로 하는 전류-전압 변환 및 증폭 회로.

**【청구항 15】**

제1항에 있어서,

상기 전류 검출 리미터 블록은,

구동 전압에 연결된 컬렉터에는 제1 저항 소자가 연결되고, 접지에 연결된 이미터에는 제2 저항 소자가 연결되며, 베이스에는 상기 전류( $I_{SENSE}$ )가 입력되는 제1 트랜지스터; 및

이미터는 상기 리미터 전류 입력단에 연결되고, 컬렉터는 상기 리미터 전류가 출력되는 리미터 전류 출력단에 연결되며, 베이스는 상기 제1 저항 소자 및 상기 제1 트랜지스터 사이의 분기점에 연결된 제2 트랜지스터를 포함하는 것을 특징으로 하는 전류-전압 변환 및 증폭 회로.

**【청구항 16】**

제15항에 있어서,

상기 제1 트랜지스터는 NPN 타입이고, 제2 트랜지스터는 PNP 타입의 트랜지스터인 것을 특징으로 하는 전류-전압 변환 및 증폭 회로.

【청구항 17】

제15항에 있어서,

상기 전류 검출 리미터 블록은,

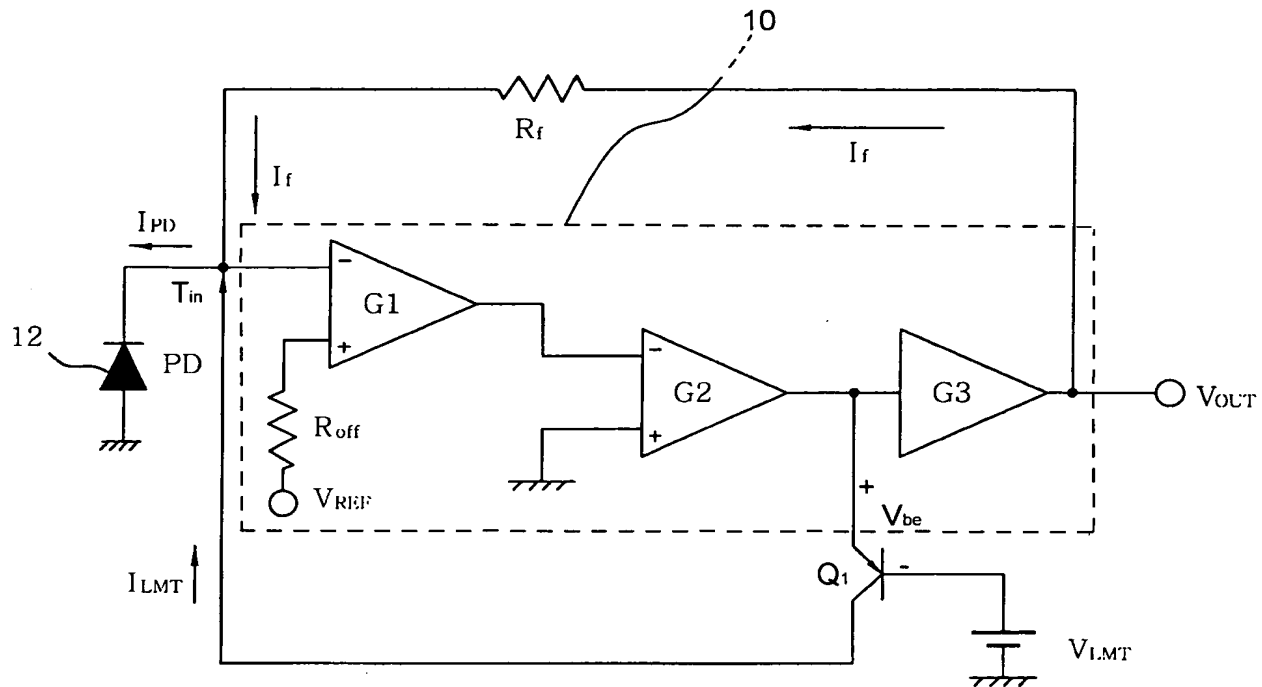
베이스는 상기 제2 트랜지스터의 컬렉터에 연결되고, 컬렉터는 상기 제2 트랜지스터의 이미터에 연결되며, 이미터는 리미터 전류 출력단에 연결된 제3 트랜지스터를 더 포함하는 것을 특징으로 하는 전류-전압 변환 및 증폭 회로.

【청구항 18】

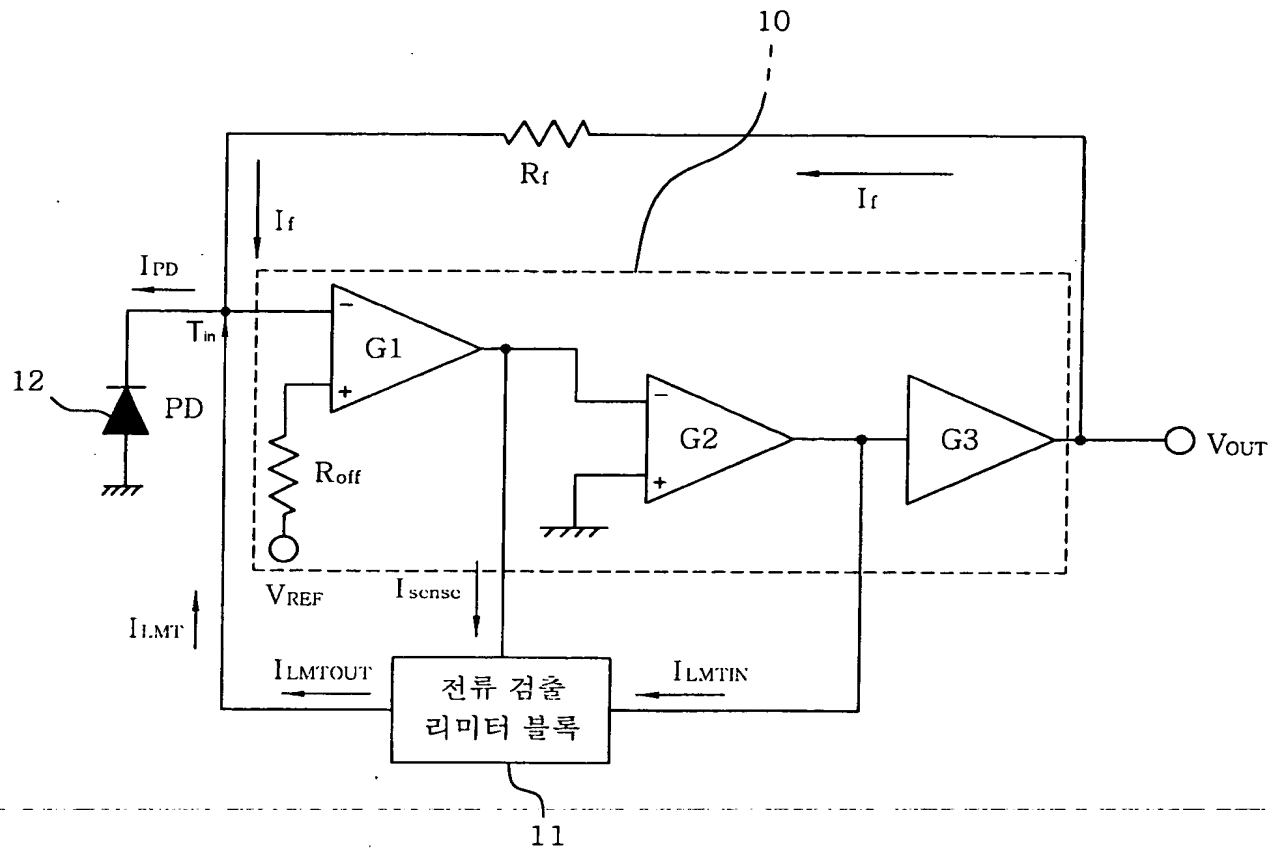
제17항에 있어서, 상기 제3 트랜지스터는 NPN 타입인 것을 특징으로 하는 전류-전압 변환 및 증폭 회로.

【도면】

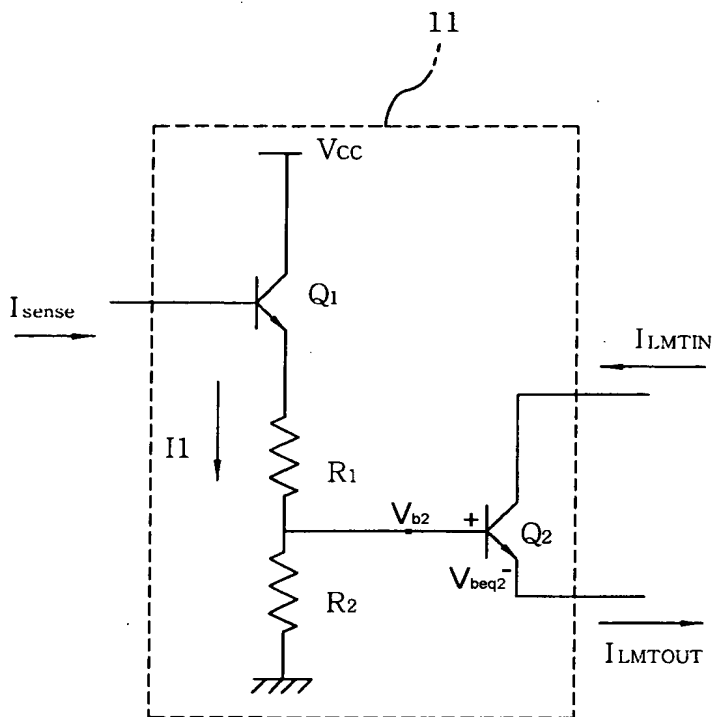
【도 1】



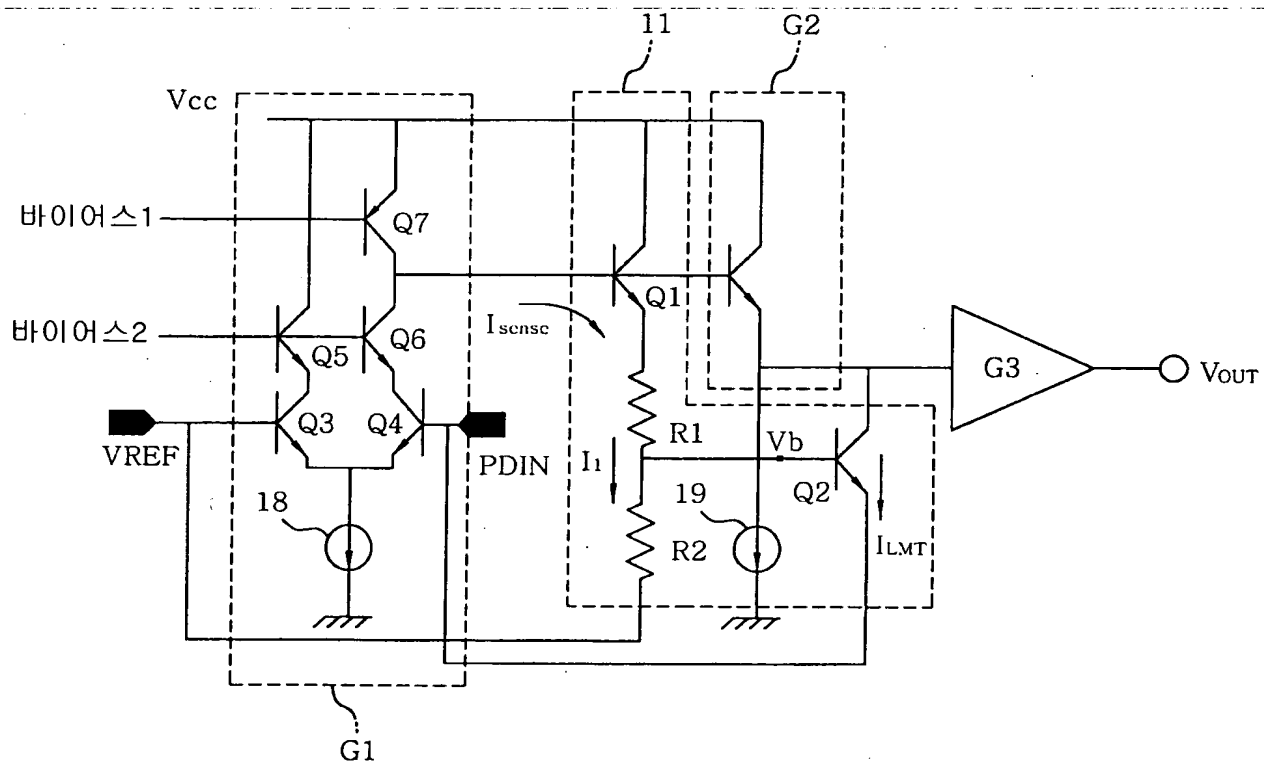
【도 2】



【도 3】

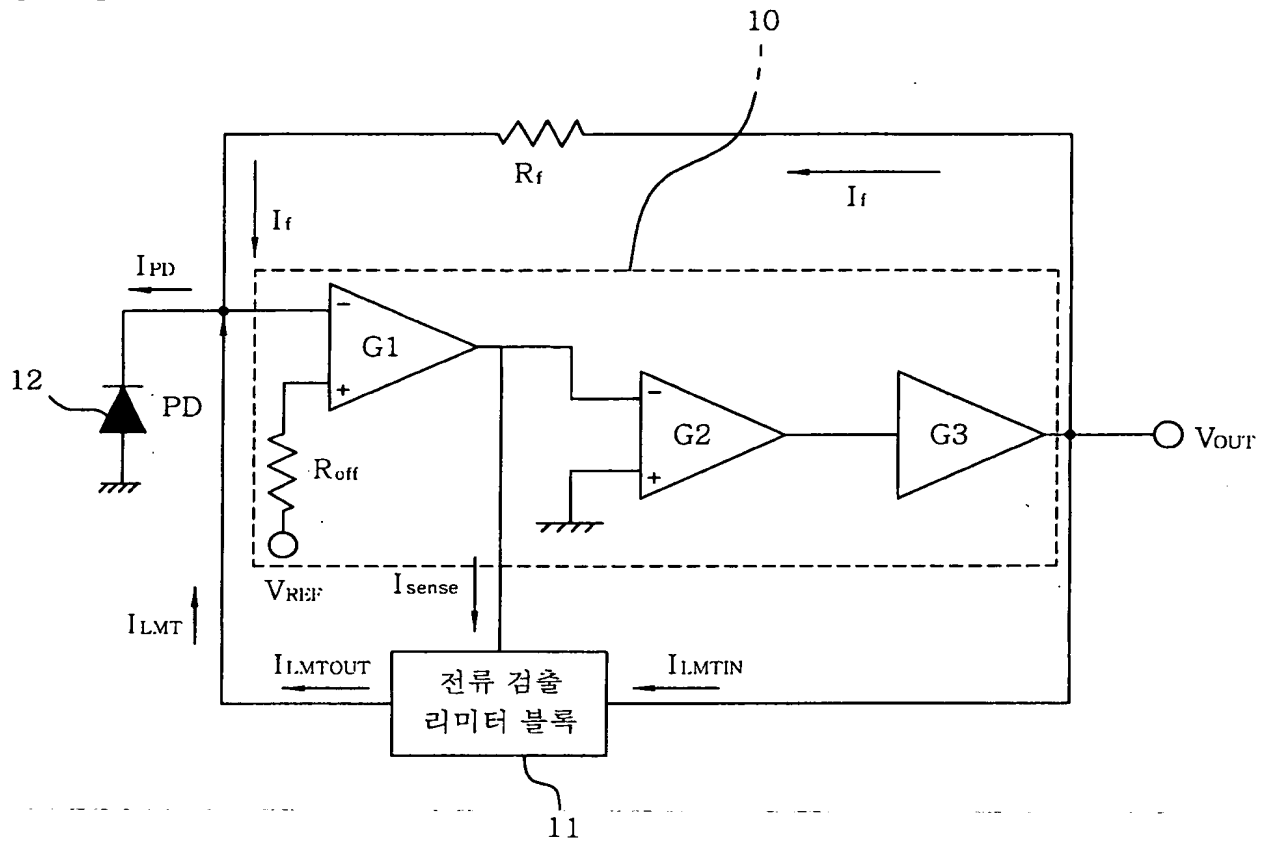


【도 4】



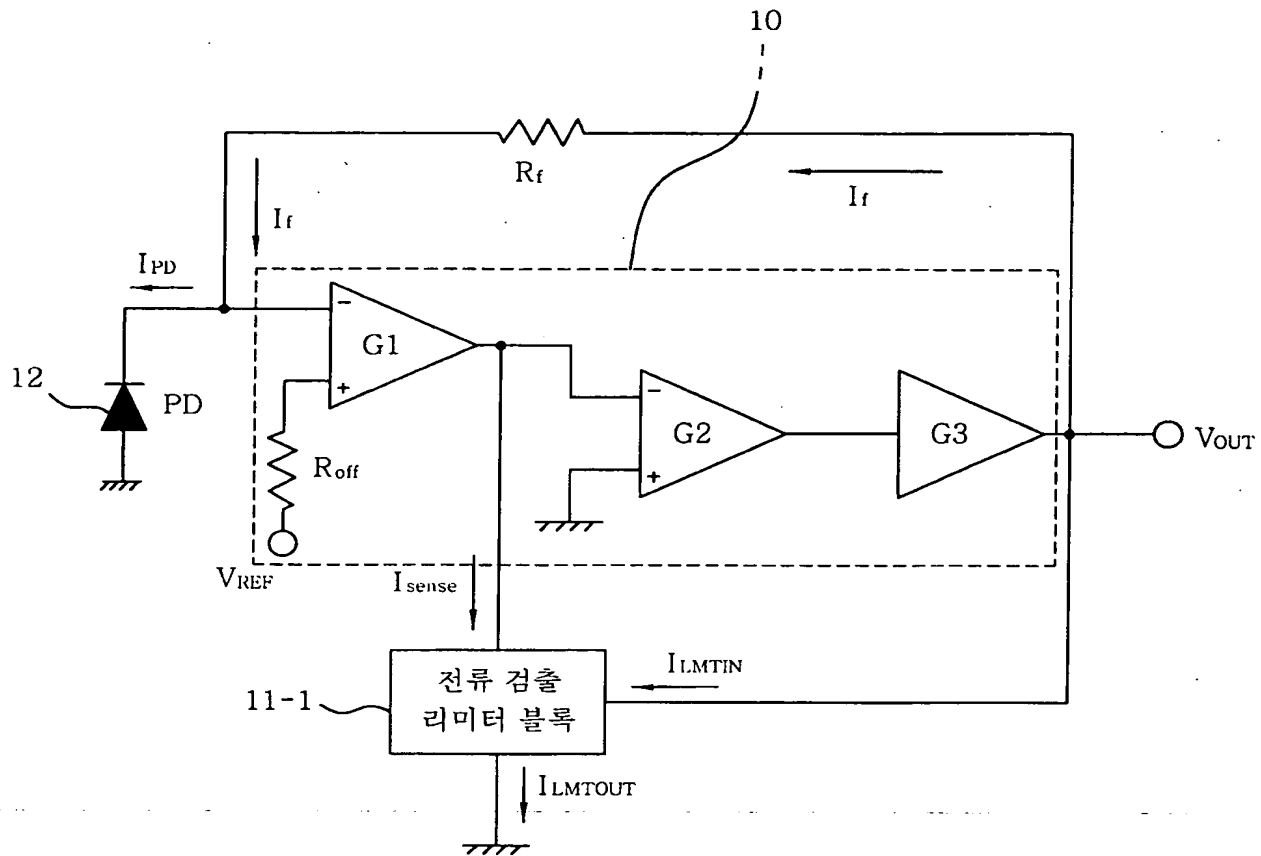


【도 5】

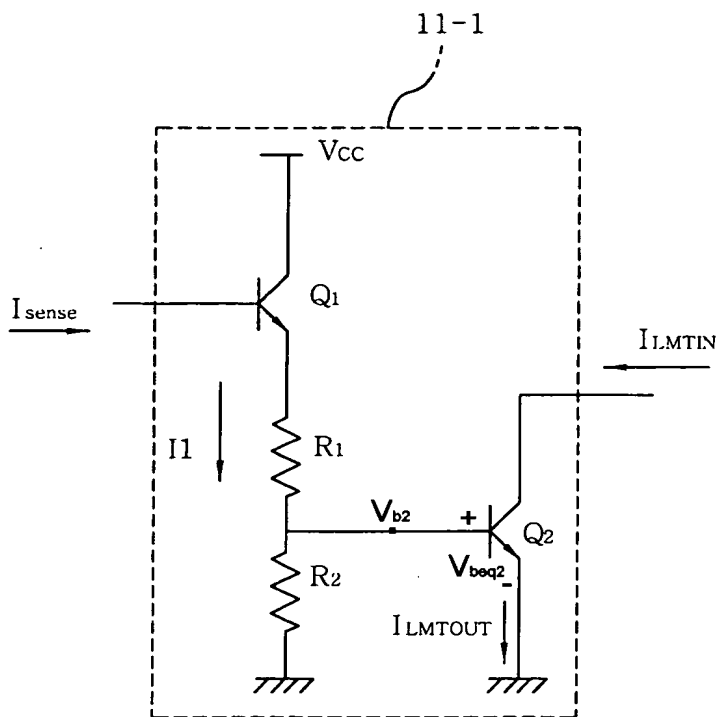




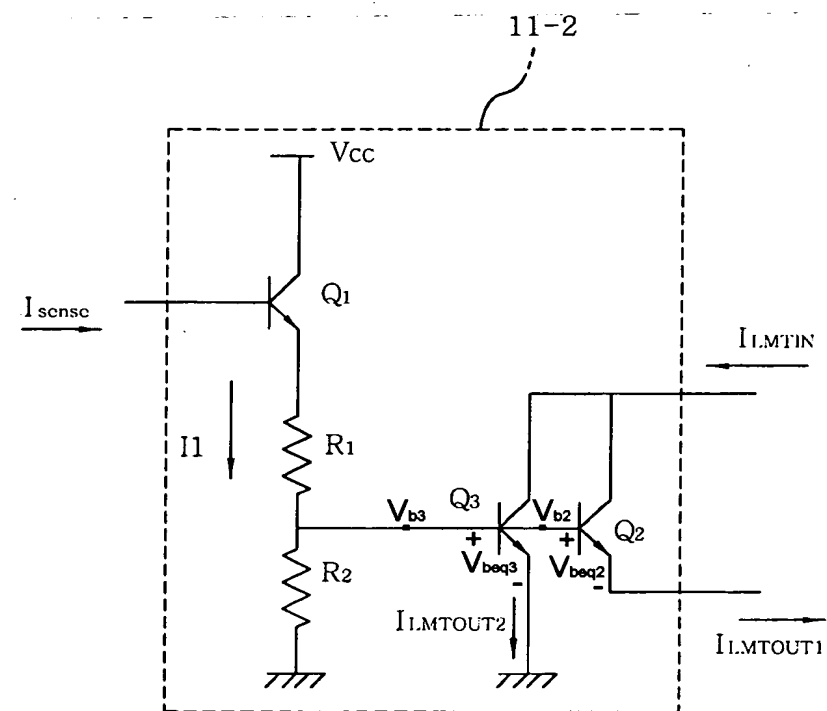
【도 6】



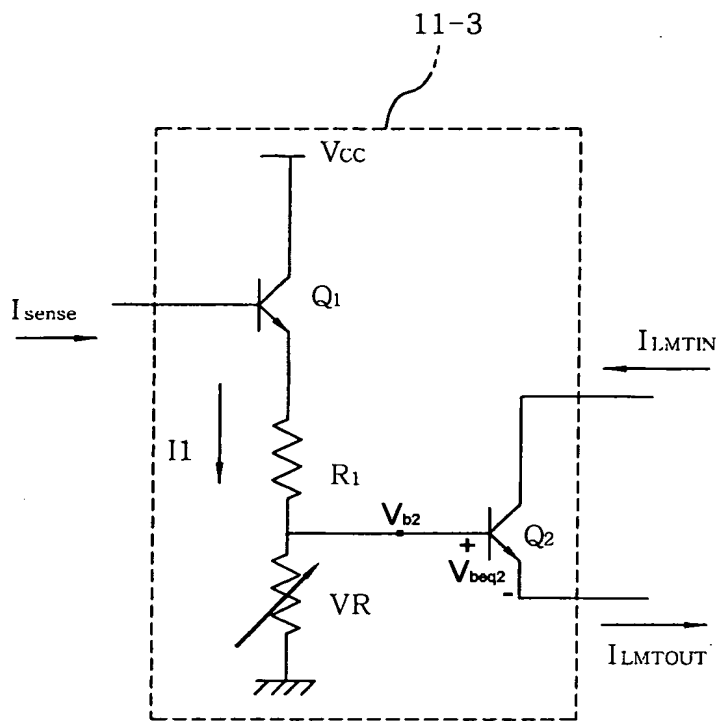
【도 7】



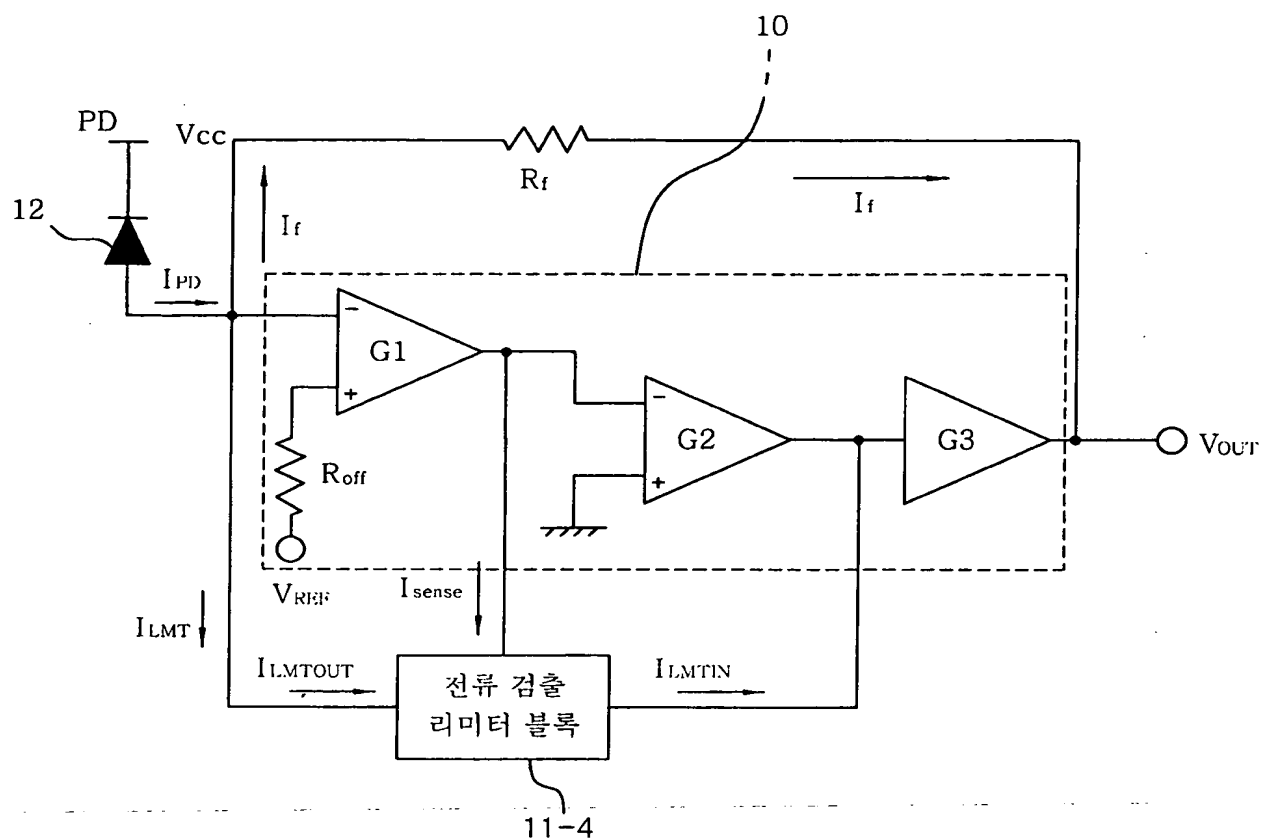
【도 8】



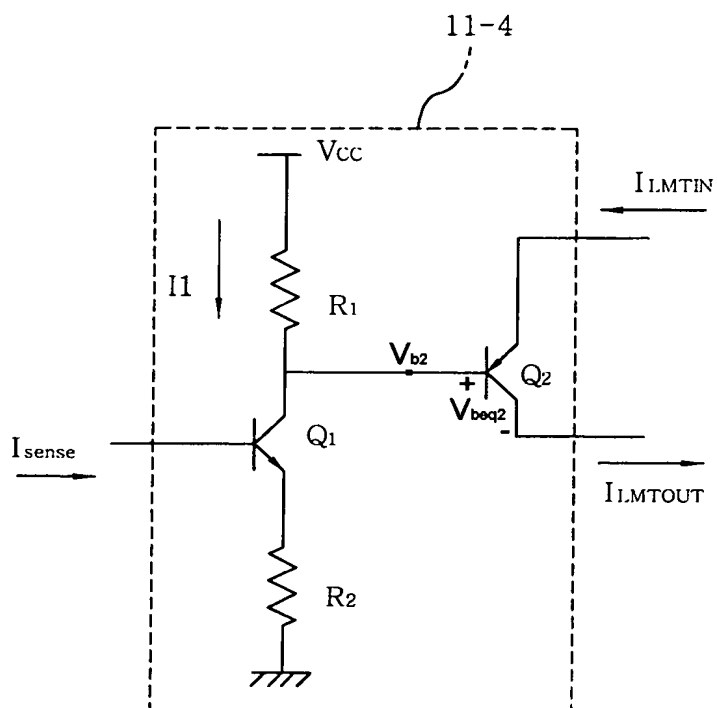
【도 9】



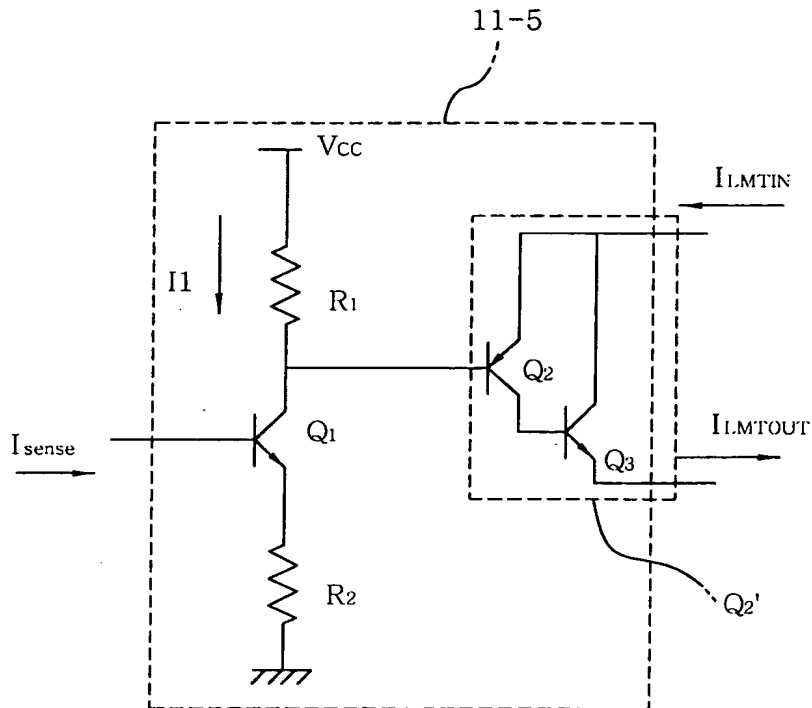
【도 10】



【도 11】



【도 12】



【도 13】

